

ASIC Reconstructor de Imagens em Tempo Real

CARLOS AUGUSTO PAIVA DA SILVA MARTINS (1,2)

JOÃO ANTÔNIO ZUFFO (1)

(1) Escola Politécnica da Universidade de São Paulo
LSI - Laboratório de Sistemas Integráveis
Divisão de Sistemas Digitais
Av. Prof. Luciano Gualberto, travessa 3, n.158
05508-900 - São Paulo, SP, Brasil
{capsm, jazuffo}@lsi.usp.br

(2) Pontifícia Universidade Católica de Minas Gerais
Departamento de Ciência da Computação

Abstract. This paper shows the architectural proposal for an Application Specific Integrated Circuit (ASIC) designed to perform image reconstruction in real time. The used reconstruction technique is called Normalized Sampled Finite Sinc Reconstructor (NSFSR), and has been implemented in software formerly. In this work we develop an ASIC that implements NSFSR as a dedicated static pipeline architecture in hardware optimized in performance. We model and simulate this architecture using VHDL hardware description language. Based on these results, we conclude that the proposed ASIC implements the NSFSR correctly and it is optimized if compared with a software implementation. Improvements should be done, but the results obtained up to now are very expressive and promising.

Keywords: Image reconstructor ASIC, Image reconstruction in real time, Image reconstructor.

1 Introdução

Um novo tipo de reconstructor denominado Reconstructor Sinc Finito Amostrado Normalizado (RSFAN) mostrou-se muito melhor que o Reconstructor de Ordem Zero (ROZ), eliminando o efeito de serrilhamento existente nos dispositivos matriciais de exibição de imagens [MART94][MART95b].

O objetivo principal deste trabalho é apresentar e validar uma proposta de arquitetura que implementa o RSFAN em hardware, otimizado para operação em tempo real, como um circuito integrado de aplicação específica (ASIC).

A importância deste trabalho, é que imagens são a base de aplicações como multimídia distribuída, rede digital de serviços integrados e televisão de alta definição (HDTV). Além disso, a maior parte dos sistemas de imagens digitais possuem memória de quadro que pode ser modelada como ROZ, e apresentam serrilhamento que deteriora a qualidade das imagens exibidas [FOLE90].

2 Técnica de reconstrução de imagem

O reconstructor RSFAN é descrito e analisado em [MART94][MART95b], enquanto sua aplicação em 2-D

é apresentada em [MART95a]. Apresentamos uma proposta de implementação em hardware para sinais 1-D em [MART96].

3 Arquitetura interna do ASIC

Esta arquitetura é descrita e modelada em alto nível de abstração usando-se a linguagem de descrição de hardware VHDL, e validada usando-se simulação.

No projeto do ASIC implementamos em hardware o RSFAN 2-D de 16 pontos, que implementa uma convolução discreta entre seus coeficientes e o sinal a ser reconstruído. Para o cálculo de cada ponto interpolado são necessárias 16 multiplicações e 15 adições. As multiplicações são independentes, e podem ser executadas em paralelo, e podemos executar a adição numa topologia de árvore binária de somadores. Em função das otimizações realizadas sobre o algoritmo sequencial, a arquitetura proposta para o ASIC é um pipeline linear aritmético estático. Maiores detalhes sobre projeto de arquiteturas pipeline são apresentados em [KOGG81][NAVA90].

A figura 1 mostra a estrutura interna do ASIC reconstructor de imagens em tempo real. Este pipeline

possui cinco estágios: 16 multiplicadores em paralelo, e quatro estágios de somadores em árvore binária. O multiplexador apresenta temporização diferente da temporização interna do pipeline.

4 Validação da arquitetura

Nesta etapa do projeto do ASIC, devemos validar o mapeamento do algoritmo do reconstrutor RSFAN 2-D para a arquitetura proposta através de validação comportamental, estrutural e temporal.

Como os resultados das simulações comportamental e estrutural são iguais aos resultados obtidos na implementação em software já validada anteriormente [MART95b], concluímos que o mapeamento do algoritmo para a arquitetura interna do ASIC reconstrutor foi perfeito.

E a validação temporal demonstra a ausência de conflitos no pipeline, uma eficiência igual a 1, e um ganho de desempenho igual a 31 sobre o algoritmo seqüencial implementado em software numa máquina seqüencial.

5 Conclusão

Considerando os resultados da validação da arquitetura proposta, concluímos que a arquitetura proposta para ASIC implementa o RSFAN 2-D 16 pontos corretamente. Deste modo, o objetivo principal deste trabalho foi alcançado, pois apresentamos e validamos uma proposta de arquitetura de hardware ASIC que implementa o RSFAN 2-D implementado em software anteriormente.

As vantagens e qualidades do RSFAN são herdadas pela arquitetura proposta, pois esta última implementa o RSFAN corretamente [MART95b].

A arquitetura proposta para o ASIC possui desempenho 31 vezes superior a implementação em software usando o algoritmo original. Deste modo podemos fazer a reconstrução das imagens em tempo real, mesmo nas aplicações de alta resolução de exibição.

A linguagem de descrição de hardware VHDL mostrou-se adequada ao projeto desta arquitetura.

A próxima fase deste trabalho é a implementação física deste ASIC, e estamos estudando o possível uso de FPGA's na prototipação e MPGA ou SC na produção definitiva. A provável tecnologia deve ser o CMOS.

6 Referências Bibliográficas

- [FOLE90] FOLEY, J. D.; VAN DAM, A.; FEINER, S. K.; HUGHES, J. F. Computer graphics - principles and practice. 2 ed. ,Addison-Wesley, 1990.
- [KOGG81] KOGGE, P. M. The architecture of pipelined computers, Hemisphere Publishing,,1981.
- [MART94] MARTINS, C. A. P. S. , O efeito de serrilhamento em dispositivos matriciais de exibição de imagens como erro de reconstrução, Dissertação (Mestrado), PPGEE-UFMG, Belo Horizonte, 1994.
- [MART95a]MARTINS, C. A. P. S.; KIATAKE, L. G. G.; CINTRA, M. H.; KOFUJI, S.T. An optimized technique for image manipulation in distributed multimedia systems, Campos de Jordão, agosto 1995, Simpósio Nipo-Brasileiro de ciência e tecnologia: Informática - Telecomunicações, pp. 236-244
- [MART95b]MARTINS, C. A. P. S. & ZUFFO, J. A. O reconstrutor sinc finito amostrado normalizado bidimensional, São Carlos, outubro 1995, VIII Simpósio Brasileiro de Computação Gráfica e Processamento de Imagens (SIBGRAPI 95), pp. 297-298
- [MART96]MARTINS, C. A. P. S. & ZUFFO, J. A. Projeto da Arquitetura Interna de um Circuito Interpolador de Sinais Unidimensionais Usando VHDL, São Paulo, fevereiro 1996, II Workshop IBERCHIP, pp. 443-452
- [NAVA90]NAVAUX, P. O. A. Processadores Pipeline e Processamento Vetorial, São Paulo, 1990, Arquiteturas e Programação Paralela, VII Escola de Computação

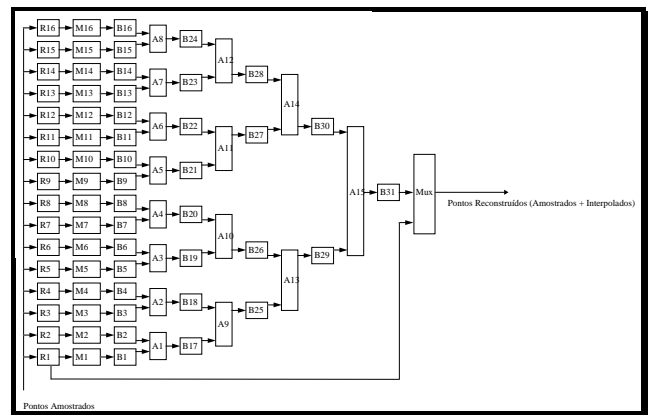


Fig. 1 Estrutura interna da arquitetura proposta - ASIC